

基于高速处理器的JTAG仿真信号增强电路

申请号: [200610155962.X](#)

申请日: 2006-12-25

申请(专利权)人 [中国科学院安徽光学精密机械研究所](#)
地址 [230031安徽省合肥市蜀山湖路350号1125信箱](#)
发明(设计)人 [熊伟](#) [方勇华](#) [董大明](#) [李大成](#) [兰天鸽](#)
主分类号 [G06F13/40\(2006.01\)I](#)
分类号 [G06F13/40\(2006.01\)I](#)
公开(公告)号 [1996274](#)
公开(公告)日 [2007-07-11](#)
专利代理机构 [合肥华信专利商标事务所](#)
代理人 [余成俊](#)

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/40 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610155962. X

[43] 公开日 2007 年 7 月 11 日

[11] 公开号 CN 1996274A

[22] 申请日 2006.12.25

[21] 申请号 200610155962. X

[71] 申请人 中国科学院安徽光学精密机械研究所
地址 230031 安徽省合肥市蜀山湖路 350 号
1125 信箱

[72] 发明人 熊伟 方勇华 董大明 李大成
兰天鸽

[74] 专利代理机构 合肥华信专利商标事务所
代理人 余成俊

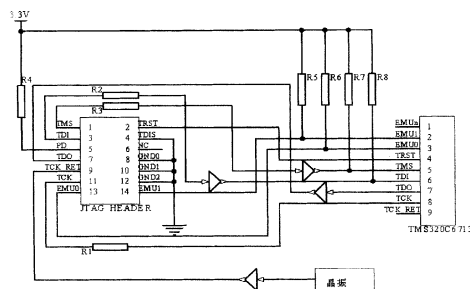
权利要求书 1 页 说明书 4 页 附图 1 页

[54] 发明名称

基于高速处理器的 JTAG 仿真信号增强电路

[57] 摘要

本发明对高速低功耗处理器的 JTAG 接口和 IEEE1149.1 标准进行了定量分析, 并通过分析的结果, 创新性地提出了增强型 JTAG 接口。利用提出的增强型 JTAG 接口的原理, 对 TMS320C6713 的 JTAG 口进行了增强型改造。改造后的 JTAG 接口可以支持长达 120cm 的扁平线缆, 达到了国内先进水平。增强型 JTAG 接口的设计, 解决了高速低功耗处理器在远距离不能实时硬件仿真的难题, 将会加大 DSP、FPGA、ARM 等处理器的应用场合。本设计方案完全可用于 DSP 系统的远距离调试, 对相关的嵌入式、FPGA 系统设计, 具有一定的参考价值。



1、基于高速处理器的 JTAG 仿真信号增强电路，包括有高速处理器的 JTAG 接口，仿真器的 JTAG 插头，其特征在于所述的仿真器的 JTAG 插头的 TMS、TDI 引脚分别正向接入总线驱动器后与再接入高速处理器的 JTAG 引脚，仿真器的 JTAG 插头的 TMS、TDI 引脚分别连接一个上拉电阻；所述的高速处理器的 JTAG 接口的 TDO 引脚正向接入总线驱动器后再接入仿真器的 JTAG 插头的 TDO 引脚；外加时钟信号正向接入总线驱动器后再接入仿真器的 JTAG 插头的 TCK-RET 引脚，仿真器的 JTAG 插头的 PD 引脚接源电压。

基于高速处理器的 JTAG 仿真信号增强电路

技术领域

本发明属于电子学设计领域，具体是基于高速处理器的 JTAG 仿真信号增强电路。

背景技术

JTAG 接口是 IEEE1149.1 规定的一种边界扫描协议，用于对 IC 器件的外部接口总线状态进行扫描。

近年来，随着微处理器技术的发展，越来越多的处理器和逻辑器件采用 JTAG 接口作为其内核与 PC 机通信的中介，并由此开发仿真器，实现处理器或可编程逻辑器件的在线仿真。比如 FPGA，DSP，ARM，MIPS 等专用处理器，都配备了专用于仿真器的 JTAG 接口。而且，对于 DSP，FPGA，CPLD 等器件，JTAG 接口的仿真器是其唯一支持在线仿真与烧写程序的工具。是以 JTAG 接口在 DSP 系统，嵌入式系统中都是不可或缺的标准接口。

然而，由于先进微处理器一般都采用低功耗设计，JTAG 接口的控制能力因而受到了很大程度的制约。IEEE1149.1 规范本身也说明了 JTAG 调试线缆具有距离的限制。多数微处理器，比如 ARM，DSP 等，CPU 对 JTAG 的控制都在 10 英寸的范围内。对一些用于高强度运算的 DSP 器件，比如 TMS320C6000 系列 DSP，开发商明确说明，JTAG 接口和 CPU 之间的距离必须在 6 英寸范围内。

但是，很多场合下都要求在 6 英寸以外的范围对处理器进行硬件仿真调试和烧写程序，因而 JTAG 接口的这种短距离特性严重束缚了处理器的使用场合和功能，也是无数 DSP 和嵌入式系统开发者为之棘手的一个问题。

对于长距离的 JTAG 口使用，以及支持长距离的 JTAG 仿真器，国内尚无类似开发案例和相关产品。

发明内容

本发明的目的在于，即针对以上问题，分析高速处理器 JTAG 接口的信号特征，以及其不能远距离调试的原因，提出一种基于高速处理器的 JTAG 仿真信号

增强电路，解决 JTAG 不能加长线缆这一困扰高速 DSP 工程师多年的问题。

本发明的主要内容为：

基于高速处理器的 JTAG 仿真信号增强电路，包括有高速处理器的 JTAG 接口，仿真器的 JTAG 插头，其特征在于所述的仿真器的 JTAG 插头的 TMS、TDI 引脚分别正向接入总线驱动器后与再接入高速处理器的 JTAG 引脚，仿真器的 JTAG 插头的 TMS、TDI 引脚分别连接一个上拉电阻；所述的高速处理器的 JTAG 接口的 TDO 引脚正向接入总线驱动器后再接入仿真器的 JTAG 插头的 TDO 引脚；外加时钟信号正向接入总线驱动器后再接入仿真器的 JTAG 插头的 TCK-RET 引脚，仿真器的 JTAG 插头的 PD 引脚接源电压。

本发明的工作原理：

根据高速信号的传输特征，承载信号的扁平电缆阻抗 R_l 可以下式计算：

$$R_l = \frac{87}{\sqrt{\xi_r + 1.41}} \ln\left(\frac{5.98h}{0.8\omega + t}\right) \cdot l$$

传输线的传播延迟 t_r ：

$$t_r = 85\sqrt{0.475\xi_r + 0.67} \cdot l$$

其中，定义对地高度为 h ，线宽为 ω ，线厚为 t ，有效相对介电常数为 ξ_r ，线长度为 l 。

根据以上提出的等效模型，扁平电缆必然会有一定的能量损失。经过实验验证，如果此能量损失占到 CPU 功耗的 8%，JTAG 信号将不可用。

另外，根据 JTAG 信号对时序的要求，信号必须满足时序完整性方程：

$$T_1 \geq t_{valid} + t_{flight} + t_{setup} + CLK_{skew} + CLK_{jitter}$$

$$t_{valid} + t_{flight} \geq t_{hold} + CLK_{skew} + CLK_{jitter}$$

上述各参数的解释与定义：

定义 JTAG 协议的同步时钟（或者说 PC 与高速处理器通过 JTAG 交换数据的时钟频率）为 T_1 ；定义信号所经过的器件（比如驱动器）的建立时间（即时钟上升沿到达前，数据保持有效所需的时间）为 t_{setup} ；定义信号所经过的器件（比如驱动器）的保持时间（即时钟上升沿到达后，数据保持有效所需的时间）

为 t_{hold} ；定义信号在印刷板上的飞行时间（即信号传输的时延）为 t_{flight} ；定义信号的有效时间为 t_{valid} ；定义时钟歪斜偏差为 CLK_{skew} ；定义时钟抖动偏差为 CLK_{jitter} 。

如果各个信号的线缆长度不一，或者某些信号经过了驱动，可能造成以上两个方程不满足，打破 JTAG 接口信号的时序规则，同样造成 JTAG 长线缆接口信号的不可用。

对于以上所述的功耗问题，可以将信号线加驱动，并将部分信号上拉，增强了处理器的驱动能力。用外部时钟来同步 JTAG 接口中的时钟，对其起到校正的作用。

同时，因为经过驱动的信号必须满足限定的时序完整性，所以对驱动器的选择应该有如下限定：

$$t_{setup} \leq T_1 - t_{valid} - t_{flight} - CLK_{skew} - CLK_{jitter}$$

$$t_{hold} \leq CLK_{skew} + CLK_{jitter} - t_{valid} - t_{flight}$$

发明的效果

将以上在 DSP 系统中试验，完全可以解决 JTAG 线缆不能加长的的问题。

表 1 DSP 的普通型 JTAG 和增强型 JTAG 效果对比表

JTAG 接口模式	线缆 10cm 时的 DSP 端电流	线缆 20cm 时的 DSP 端电流	线缆 40cm 时的 DSP 端电流	线缆 60cm 时的 DSP 端电流	线缆 80cm 时的 DSP 端电流	线缆 100cm 时的 DSP 端电流	能工作的最长线缆长度
普通型	0.28A	0.26A	0.18A	0.16A	0.08A	0.06A	20cm
本发明	0.28A	0.28A	0.28A	0.28A	0.28A	0.27A	120cm

如表中所示，普通型 JTAG 接口在线缆拉长时，源端电流急剧下降，在 40cm 线缆下，源端电流只有原来的 64%，使 JTAG 不能正常工作。而对增强型 JTAG 而言，在线缆 100cm 时，源端电流只被下拉了 0.01A。经过测试，增强型线缆在 120cm 时仍然可用。

附图说明

图 1 为本发明电路图。

图 2 为本发明 TMS320C6713 芯片的增强型 JTAG 接口电路图。

具体实施方式

以 TI 公司推出的高速浮点 DSP 芯片 TMS320C6713 为例。TMS320C6713 主频 300MHZ，内核电压为 1.2V，功耗 1.1W，是典型的高速低功耗处理器。对其 JTAG 接口进行测试，发现其与 PC 交换数据的速度因仿真器模式而异，一般性能的仿真器工作在 80MHZ 以上。

经过调查，市面上所有的基于 TMS320C6713 的 JTAG 接口与处理器的距离均在 10 厘米以内（即目前应用的所有高速处理器，其仿真器与电路板之间的距离均在 10 厘米以内，没有发现有突破此距离的实例，严重束缚了高速处理器的应用场合。这正是此增强模块所要解决的问题）。用扁平线缆将 JTAG 接口延长到 20 厘米，发系统电流被拉低，而且无法正常进入仿真状态，即目标板无法与 PC 机通信。

TMS320C6713 的 JTAG 接口有 13 根信号线，可以将其改为增强型 JTAG 接口。为增强 DSP 的输出驱动能力，将 EMU0，EMU1，TMS，TDI 上拉到 3.3V（根据 TTL 电平特性，与仿真器接收的信号容限，以及电阻的标称值，其中上拉电阻 R5，R6，R7，R8 取 4.7K 欧姆）；用设置好的外部时钟来同步 JTAG 协议中的时钟；同时，对 TMS，TDI，TDO 和 TCK_RET 信号分别接沿信号传输方向的总线驱动；并对长线缆进行端接，避免信号的反射。具体电路参见图 2。

其中，由于线缆在加长时会有反射，所以需要端接。考虑到高速处理器的源端驱动能力过小，故采用始端串联端接。根据式（5）中的计算，传输线的阻抗大约为 30 欧姆，所以取 $R1=R2=R3=33$ 欧姆即可。

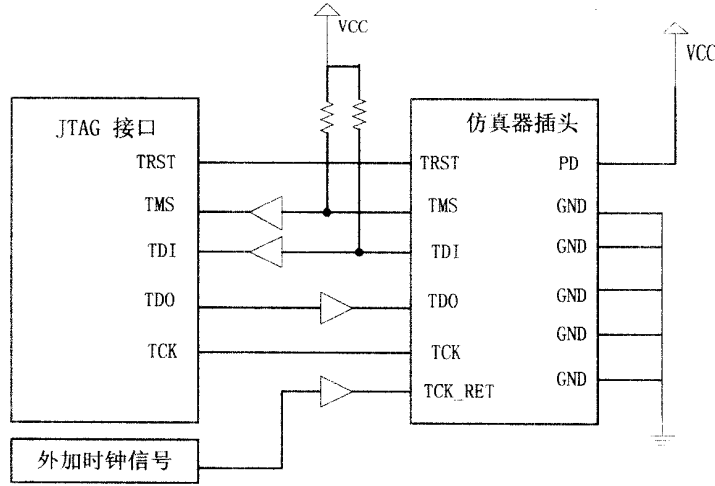


图 1

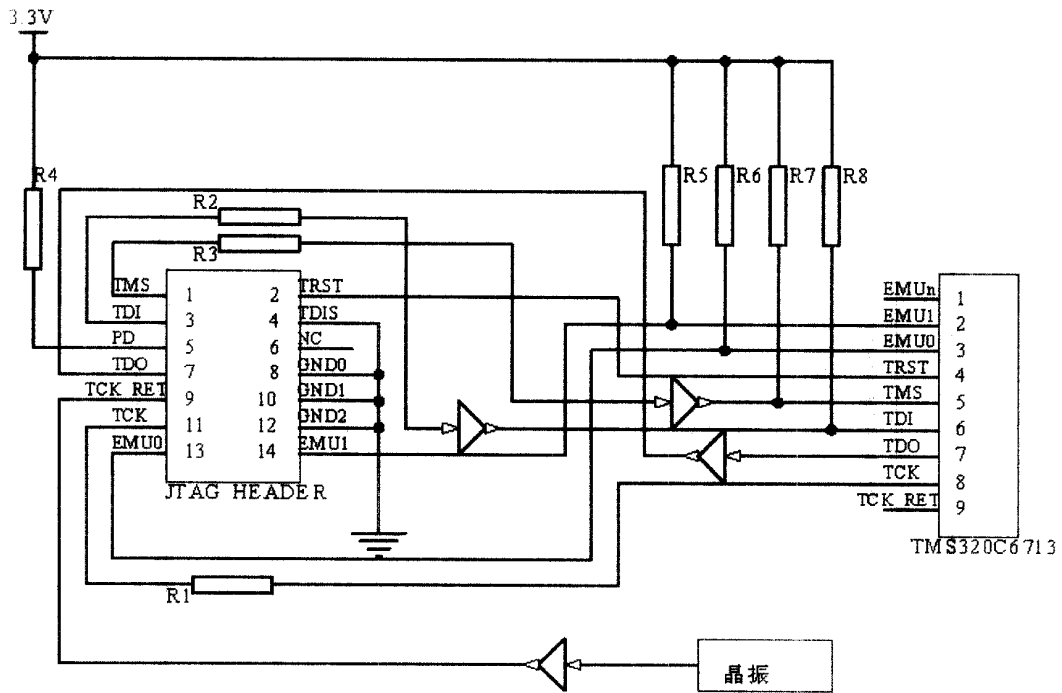


图 2