

基于 SOPC 技术的 EAST 定时与同步系统

吴一纯¹, 季振山², 罗家融³, 王灵芝¹

(1. 漳州师范学院物理与电子信息工程系, 漳州 363000; 2. 中国科学院等离子体物理研究所, 合肥 230031; 3. 东华大学理学院, 上海 200051)

摘要: 定时与同步系统是托卡马克装置实现等离子体放电流程实时控制的基础。基于 SOPC 技术研制的 EAST 分布式定时与同步系统可为各子系统提供精确时钟和同步触发信号, 使装置各子系统按照预先设定好的流程运行, 实现 EAST 等离子体放电实验时序的精确控制。EAST 定时与同步系统的时序精度高于 1 μ s, 可以满足当前 EAST 实验的需要。

关键词: EAST; 托卡马克; 核聚变; 定时与同步

中图分类号: TL 67 **文献标识码:** A **文章编号:** 0258-0934(2010)03-0537-05

随着受控核聚变研究的不断深入, 实时控制在核聚变实验装置的运行中扮演越来越重要的角色。基于定时与同步系统的核聚变装置总控制系统可为各子系统提供精确同步触发和时钟信号, 使装置各子系统按照预先设定好的流程运行, 完成对放电流程、等离子体诊断以及数据采集控制等操作。国内外核聚变实验装置上均建立了定时与同步系统, 如: KSTAR^[1], JT-60SA^[2], ASDEX Upgrade^[3] 和 Tore Supra^[4] 等。

国家大科学工程 EAST 全超导托卡马克装置具有子系统数量众多、分布广、跨多系统平台等特性, 其集成控制系统采用了分布式体系结构。作为控制系统的重要组成部分, 定时与同步系统实现了两项基本功能: 提供精确的同

步触发信号, 控制各子系统按照预设的时序流工作; 为数据采集系统和等离子体控制系统 (PCS) 等子系统提供精确的方波时钟信号。

基于实时操作系统和精简网络协议栈的嵌入式以太网技术为 EAST 分布式定时与同步系统的设计提供了新的解决方案。SOPC(System On Programmable Chip) 是以 IP 核为基础, 以硬件描述语言为系统功能和结构的主要描述手段, 将处理器、存储器和 I/O 口等功能模块集成到可编程器件上的一个可编程片上系统^[5]。SOPC 技术具有灵活高效、低功耗、高集成度等优点。因此, 采用 SOPC 技术实现了 EAST 定时与同步系统的设计。

1 定时与同步系统结构

如图 1 所示, EAST 定时与同步系统由参数设置平台、时序信号光纤网、核心模块、若干个分布式节点组成。核心模块负责向各分布式节点发送同步的 32 MHz 系统时钟和系统触发光纤信号。分布式节点具备以太网通信能力, 是定时与同步系统的关键设备, 节点的 FPGA 片上逻辑电路是实现分布式控制、精确同步触发和时钟信号的核心。核心模块与各分布式节

收稿日期: 2009 07 14

基金项目: 国家自然科学基金(10675128)和中科院知识创新工程重要方向性资助项目(KJJCX3.SYW.N4)资助。

作者简介: 吴一纯(1979-), 男, 福建南安人, 讲师, 博士研究生, 主要从事等离子体数据采集与控制、分布式计算机测控系统研究。

点之间均由两路等长 50/125 μm 光纤连接, 分别用于传输系统时钟和系统触发光纤信号。参数设置平台与所有的分布式节点均连接入 EAST 控制网, 参数设置平台可以对各节点上所有时钟通道的分频系数和同步触发通道的延迟参数进行设置。参数设置平台在每炮放电实验前的准备阶段以 TCP Socket 方式向分布式节点发送指令和参数, 对各个分布式节点进行参数设置, 完成对各节点的控制管理。

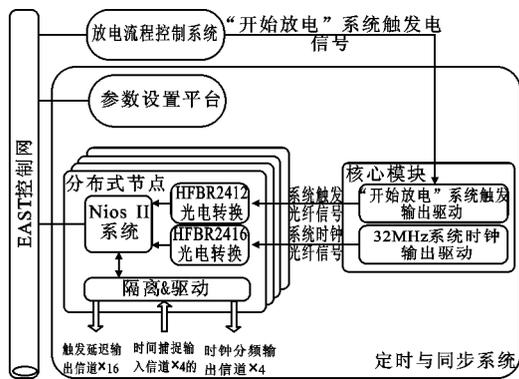


图1 EAST定时与同步系统结构

在安全连锁系统确认 EAST 各子系统一切正常时, 可进行放电实验。Operator 在放电流程控制系统上向核心模块发出“开始放电”的电信号命令, 该信号被作为系统触发经核心模块驱动后输出 10 路同步的系统触发信号, 启动各分布式节点 FPGA 片上逻辑电路的运行。同时 32MHz 的系统时钟则作为节点逻辑电路的时钟信号。等长光纤可以确保核心模块到各分布式节点的系统时钟和系统触发的同步性, 确保了各节点 FPGA 片上逻辑电路能够同步进行逻辑运算工作, 保证处于不同物理位置分布式节点上的定时和同步信号可以精确同步, 实现了对 EAST 放电实验时序的精确控制。

分布式节点所有的输出信号须隔离并提升驱动能力后才能提供给各子系统, 信号输出有光纤信号或隔离后的电信号两种输出类型。

2 分布式节点的 SOPC 设计

基于 SOPC 技术的分布式节点基本设计方案如下: 32 位 RISC 软核处理器 Nios II, 可按需随意配置和构建; 基于 Avalon 总线构建专用外设, 实现定时与同步系统的专用功能; 采用 $\mu\text{C}/\text{OS II}$ 嵌入式实时操作系统进行多线程程序设计; 采用 LwIP (Lightweight IP) 以太网协

议栈实现以太网通信。

分布式节点的开发主要由硬件设计和软件设计两部分组成, 而硬件设计又由电路设计和片上系统设计构成。系统以 Altera 公司的 FPGA 芯片 EP2C8Q208 为核心, 通过 FPGA 片内的 SOPC 系统实现对外围电路的管理, 完成网络通信、液晶屏显示信息管理、存储器管理、内外时钟管理以及定时与同步系统专用信号管理等操作。

2.1 硬件设计

图 2 为分布式节点的电路设计。FPGA 芯片 EP2C8Q208 处于电路的核心位置, 是实现 SOPC 设计的可编程器件。存储器电路包括: 存储应用程序的 8 MB Flash E28F640; 作为 Nios II 处理器 RAM 和程序运行空间的 8 MB SDRAM HY57V641620; 存储 FPGA 配置数据并进行主动配置的串行配置器件 EPCS4; 以及带复位输出的 2 kbit EEPROM CAT1025, 其中的 EEPROM 存储单元用于保存分布式节点的放电参数, 以便在系统上电或重启后自动恢复掉电前一炮的触发和时钟等参数。10M 以太网控制器 RTL8019AS 用于实现以太网通信。128 \times 64 图形点阵液晶屏则用于显示系统状态和自检结果等信息。

由 HFBR-2416 光纤接收器与光纤量化器 ML4622 组成的高速光纤信号接收电路(14 km 以内传送 2~70 Mb/s 信号)用于接收核心模块的 32 MHz 光纤时钟信号, 并将该信号转换成 32 MHz TTL 信号作为外时钟信号提供给 SOPC 系统。在 EAST 实验运行期间, 分布式节点均采用外时钟信号进行工作。为了便于单节点调试, 可使用 32 MHz 晶体振荡器作为内时钟信号源, 通过节点面板上的开关选择外时钟或内时钟工作模式。

HFBR-2412 光纤信号接收电路接收核心模块的系统触发光纤信号(可在 700 m 以内传输直至 5 Mb/s 的光纤信号), 并将其转换成 TTL 信号后作为 SOPC 的外触发信号。为了便于节点的调试, 设计了本地调试(即内触发)按钮, 该按钮可以产生内触发信号并向 SOPC 系统发出一个外部 I/O 中断信号, 使系统执行一次内触发操作。此外, 也可以通过网络指令方式产生内触发。内触发方便了节点的调试。

节点上的隔离驱动电路包括: 时钟隔离驱

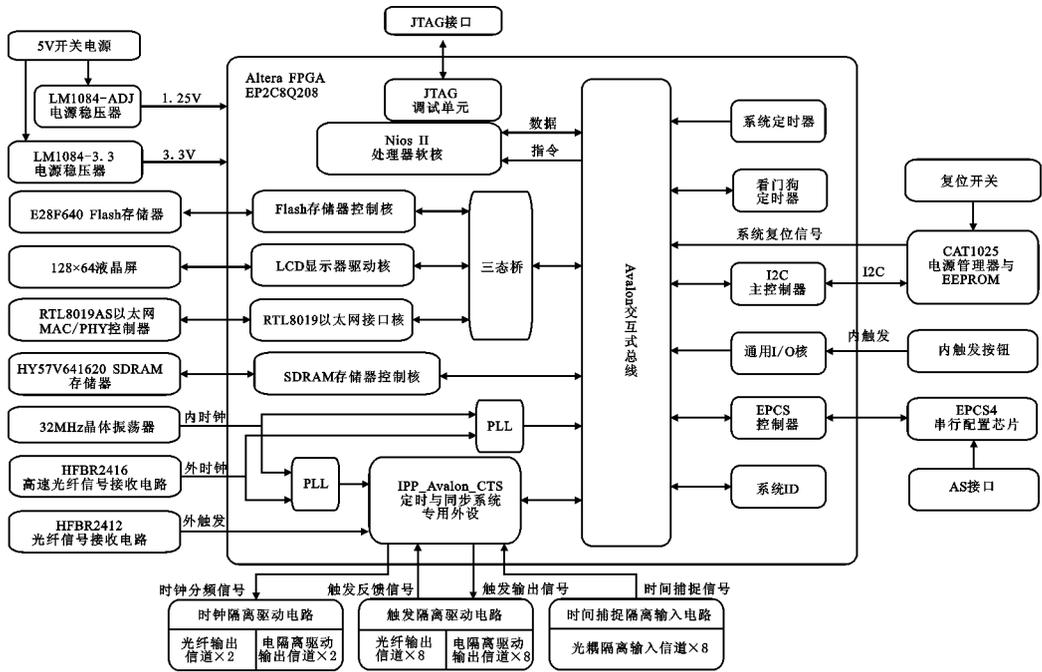


图2 分布式节点电路结构

动电路、触发隔离驱动电路以及时间捕捉隔离输入电路。

基于 SOPC 技术的 FPGA 片上系统设计, 包括以 Nios II 软核处理器为核心的嵌入式系统的硬件配置、设计、仿真。如图 2 所示, EP2C8Q208 上的 SOPC 设计, 包含了 Nios II 软核处理器、存储器控制核, 还有 RTL8019 以太网接口核、LCD 显示驱动核和 I2C 主控制器核, 以及用于实现定时与同步系统专用功能的自定义外设 IPP_Avalon_CTS 核。

符合 Avalon 交换式总线接口规范的自定义外设 IPP_Avalon_CTS 实现 EAST 定时与同步系统特殊逻辑功能的专用 IP 核。IPP_Avalon_CTS 的设计由硬件描述文件、驱动软件文件和元件描述文件三部分组成。

IPP_Avalon_CTS 外设的硬件描述包含三个部分: Avalon MM 从端口、寄存器文件以及任务逻辑。Avalon MM 从端口为寄存器文件提供了一个标准的 Avalon 前端, Nios II 使用 Avalon 从端口信号来访问寄存器文件。寄存器文件提供了任务逻辑与外界交换信息的途径。有了寄存器文件, 就可以通过 Avalon 接口采用“基地址+ 地址偏移量”的方式来访问 IPP_Avalon_CTS 核内部各寄存器, 其中设计了可寻址的 32 位寄存器地址空间 64 个。任务逻辑最终完成定时与同步系统分布式节点的基本功

能, 如触发延迟输出、触发反馈输入、事件时刻捕获输入和时钟分频输出等。

在完成 IPP_Avalon_CTS 核的硬件描述设计之后, 需要为其提供软件驱动才能在 Nios II 系统中使用。而完成 IPP_Avalon_CTS 的硬件描述和驱动软件后, 还需利用 SOPC Builder 中的元件编辑器最终将它们封装成一个元件。在定制用户逻辑外设时, 元件描述文件是由元件编辑器根据用户提供的硬件描述文件和驱动软件文件以及在图形用户界面 (GUI) 设置的各选项和参数自动生成的。在完成了 IPP_Avalon_CTS 核的创建后, 便可以在 SOPC Builder 中使用该元件并将其添加到 Nios II 的片上系统中。

基于 SOPC 技术和自定义外设 IPP_Avalon_CTS, 分布式节点的 EP2C8Q208 FPGA 芯片内同时实现片内微处理器和逻辑功能电路设计, 每个节点具备以下功能:

- (1) 16 路触发输出信道, 其中有 8 路 3 kVDC 隔离能力的 0~5 V 电信号输出和 8 路光纤信号输出, 每路触发信号均可选择 12.3 ms 宽的脉冲或电平(触发时刻至放电结束时刻)信号的两路触发输出模式;
- (2) 4 路时钟输出信道, 其中有 2 路 3 kVDC 隔离能力的 0~5 V 电信号和 2 路光纤信号, 每路时钟均可对 32 MHz 系统时钟信号

进行 1~ 65536 任意整数分频;

(3) 4 路事件发生时刻捕获输入通道, 均为带光耦隔离的 0~ 5 V 电信号输入, 信号可以选择正极性或负极性的两种事件输入极性;

(4) 可选择内时钟或外时钟两种工作模式;

(5) 自行诊断每路触发信号输出是否存在故障, 便于对系统运行状态的掌握。并将节点工作状态及触发信号自诊结果显示在 LCD 屏上。

(6) 系统上电或重启后自动恢复掉电前一炮的触发和时钟等参数;

(7) 利用 TCP Socket 网络通信实现系统控制、参数设置和状态信息获取。

2.2 软件设计

基于 $\mu\text{C}/\text{OS-II}$ 嵌入式实时操作系统, 分布式节点的应用程序实现了以下功能: (1) 利用 LwIP 协议栈实现 TCP/IP Socket 通信; (2) 由 TCP/IP Socket 通信完成指令和参数的传输; (3) 解析 TCP/IP Socket 指令并完成对片上外设的管理: 自定义外设 IPP_Avalon_CTS 核的控制、LCD 液晶屏显示信息控制以及 EEPROM 的读取和写入操作; (4) 响应外部中断并对 IPP_Avalon_CTS 核执行内触发等操作。

3 系统测试结果

对单节点触发输出进行测试, 16 个触发通道参数设置如表 1 所示, 其放电长度为 50.000 ms。

表 1 单节点测试参数

| | | | | | | | | |
|-------------------|-----------|-----|-----|-----|-----|-----|-----|-----|
| 通道号 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 延迟/ μs | 16 | 32 | 48 | 64 | 80 | 96 | 112 | 128 |
| 输出类型 | 12.3ms 脉冲 | | | | | | | |
| 输出极性 | 负极性 | | | | 正极性 | | | |
| 通道号 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| 延迟/ μs | 144 | 160 | 176 | 192 | 208 | 224 | 240 | 256 |
| 输出类型 | 门信号 | | | | | | | |
| 输出极性 | 负极性 | | | | 正极性 | | | |

利用 MSO4034 混合信号示波器的数字采样通道实测波形 (图 3), 标号 15-0 (自上往下) 的数字通道分别代表 Trig15 至 Trig0 采样率 10.0 MS/s, 数据量 1M, 时序分辨率 100 ns。

图 3 左下方是示波器测量得到的一些数据, 通道 D0 的负脉冲宽度 12.29 ms, 通道 D4 的正脉冲宽度为 12.29 ms; 通道 D0 下降沿至通道 D1 下降沿时间差 16 μs , 通道 D3 下降沿至通道 D4 上升沿时间差 16 μs , 通道 D4 上升

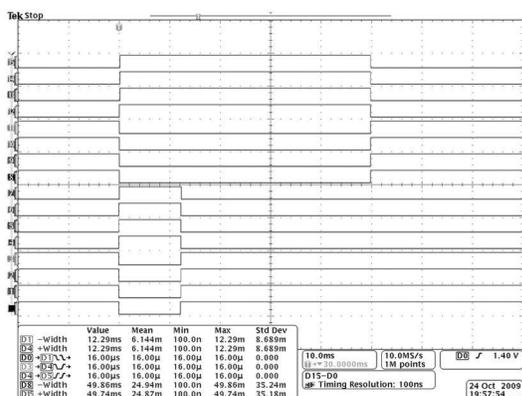


图 3 单节点测试波形

沿至通道 D5 上升沿时间差 16 μs 。通道 D8 门信号宽度为 49.86 ms, 其触发延迟参数为 0.144 ms, 49.86 ms + 0.144 ms \approx 50.00 ms 即等于放电长度, 示波器测量 D8 通道负脉冲宽度时的数据显示精度仅为 0.01 ms, 是造成不能精确等于 50 ms 的误差来源。

单节点触发输出测试的结果验证了实际触发输出信号类型和极性的正确性。三组触发信号沿之间的时间差与预设的 16 μs 完全一致, 证明触发输出的时刻分辨率达到了 1 μs 。而 D8 和 D15 两路触发门信号宽度与预设触发时刻的和等于预设的放电长度, 又证明了触发输出的时刻精度优于 1 μs 。

分布式结构下的 EAST 定时与同步系统, 节点内部及节点间触发信号的时序同步性尤为重要。对单节点内部以及多节点间触发信号的一致性进行了测试 (篇幅有限此处不给出以上两组实测的波形), 测试结果表明单节点内部及多节点间触发信号的同步精度远优于 1 μs , 该定时与同步系统触发信号具有良好的时序一致性。

4 结论

基于 SOPC 技术实现的 EAST 分布式定时与同步系统由参数设置平台、时序信号光纤网、核心模块、若干个分布式节点组成。基于 SOPC 技术的分布式节点完善了定时与同步系统的功能, 简化了系统操作, 提升了系统稳定性和集成度, 减少了系统外部连线的数量, 降低系统故障率和整体功耗。

EAST 定时与同步系统的触发时序精度优于 1 μs , 各项功能可以满足当前 EAST 托卡马克等离子体放电实验的需要。该系统已成功投

入 EAST 托卡马克的运行控制中。

参考文献:

- [1] Mikyung Park, et al. Development of a time synchronization system for KSTAR with a VME bus system [C]. The 10th ICALEPCS Int. Conf. on Accelerator & Large Expt. Phys. Control Systems 2005.
- [2] H. Akasaka, et al. Development of the precise timing signal generator for JT-60SA control [C]. The 6th IAEA Technical Meeting. Control, data Acquisition, and Remote 4 8, June, 2007, Inuyama, Japan.
- [3] G. Raupp, H. Richter, C. Aubanel, et al. The timing system for the ASDEX Upgrade experimental control [J]. IEEE Transactions on Nuclear Science, 1992, 39(2): 198-204.
- [4] D. Moulin, B. Couturier, L. Ducobu, et al. Upgrade of the timing system for Tore Supra long pulses [J]. IEEE Transactions on Nuclear Science, 2000, 47(2): 119-122.
- [5] 彭程程, 谷鸣, 刘波, 等. 基于 SOPC 技术的脉冲磁场数据采集系统 [J]. 核电子学与探测技术, 2009, 29(1): 6-9.

EAST Timing and Synchronization System Based on SOPC Technology

WU Yi-chun¹, JI Zhen-shan², LUO Jia-rong³, WANG Ling-zhi¹

- (1. College of Physics and Information Engineering, Zhangzhou Normal University, Zhangzhou 363000, China,
2. Institute of Plasma Physics, Chinese Academy of Sciences, Hefei 230031, China,
3. School of Sciences, Donghua University, Shanghai 200051, China)

Abstract: Timing and synchronization system is the foundation to realize real-time plasma discharge control for tokamak. Base on SOPC technology, the EAST timing and synchronization system is developed, which distributes precise clock and synchronized trigger signals to all the subsystems and realizes the accuracy timing control of the EAST plasma discharge experiments. The precision of the timing and synchronization system is higher than 1 μ s, which meets current requirement of the EAST experiments.

Key words: EAST, Tokamak, Nuclear fusion, Timing & Synchronization

(上接第 532 页, Continued from page 532)

Design of γ Measurement System of Neutron Source Strength Standard with a Manganese Sulphate Bath Method

WANG Xiao-qiong¹, WANG Pan², ZHANG Hui³, CHEN Ming-chi²

- (1. Beijing Nuclear Instrument Factory, Beijing, 100176, 2. College of Applied Nuclear Technology and Automation engineering, Chengdu University of Technology, Chengdu, 610059,
3. National institute of metrology, P. R. China, Beijing, 100003)

Abstract: It mostly introduced the hardware and software design and test of Measurement System of Neutron Source Strength Standard with a Manganese Sulphate Bath Method. Hardware of system mainly contains six modules named detector, high voltage source, head amplifier, main amplifier, single channel pulse-amplitude analyzer and data acquisition system. The software program of system data acquisition is made up of four functional modules: user login, parameter setting, data collection, and data saving.

Key words: γ measurement system, LabVIEW, Data acquisition