

DOI: 10.3969/j.issn.1673-6141.2011.04.012

基于 CPLD 的数字可编程延迟单元的设计

储艳飞, 鲍 健

(中国科学院安徽光学精密机械研究所, 安徽 合肥 230031)

摘 要: 在双腔同步全固化激光电源及输出能量稳定系统研究中, 系统为 MOPA 结构的准分子激光器提供两套同步抖动小于 5 ns 的 4000 Hz 全固化高压脉冲快放电电源, 采用 EMP570T100C3 的 CPLD 器件设计一个数字可编程延迟器, 并通过仿真与实验, 证明方案满足了项目设计的需求。

关键词: 准分子激光器; 电源; 数字可编程延迟器

中图分类号: TP271+.5

文献标识码: A

文献编号: 1673-6141(2011)04-0317-06

Design of Digitally Programmable Delay Element Based on CPLD

CHU Yan-fei, BAO Jian

(Anhui Institute of Optics and Fine Mechanics, Chinese Academy of Sciences, Hefei 230031, China)

Abstract: In the research of all-solid dual-chamber synchronization and output energy stability of laser power supply system, two sets of all-solid fast discharge power are provided in the system for the excimer laser with the MOPA structure whose synchronization jitter is less than 5 ns and pulsed frequency equals 4000 Hz. Based on EMP570T100C3, a CPLD device, a digitally programmable delay unit is designed, and the implementation method is verified by simulation and experiment to meet the project design requirement.

Key words: excimer laser; power; digitally programmable delay unit

1 引 言

为了设计出双腔同步全固化激光电源及输出能量稳定系统, 要求双腔同步抖动小于 5 ns, 重复率达到 4000 Hz, 同时在线测量激光脉冲的能量输出, 将其反馈至控制系统来调节电源的放电高压和修正气体成分, 从而达到稳定激光输出能量的目的。其电源结构如图 1 所示。

在双腔同步激光电源里, 由于激光器的触发到出光时间受多种因素的影响, 为了保证种子腔和放大腔同时出光, 我们在种子腔和放大腔的控

制模块中分别加入可变延迟电路, 控制模块通过两放电腔的反馈信号不断调节延时时间, 使两腔体协调工作。在可变延迟电路中, 信号延迟线是电路最基本的部分, 延迟线的延时精度决定着可变延迟电路的调节精度, 因此高精度可调节信号延迟单元就是技术关键, 系统所需的可调节延迟时间范围为 0~1.5 μ s, 精度要达到 5 ns 以内。可变延时电路主要功能是将信号精确延迟一段可调节的时间后再输出, 这种电路在雷达、通讯以及各种测量仪器中也有广泛的应用。

收稿日期: 2010-12-07; 修改日期: 2011-02-18

E-mail: fyan@mail.ustc.edu.cn

2 工作原理

数字延迟线是一种将数字信号延迟输出的信号处理电路。本项目中信号延迟线分为三个部分，第一部分是固定数字延迟线，通过 D 触发器异步串联组成的分频电路来实现，第二部分为脉宽控制及调节部分，通过计数器模块来实现，第三部分为细调可变延迟线部分，通过多个 D 触发器同步串联来实现。

2.1 固定数字延迟线

该部分通过数位的 D 触发器异步相连的方式来实现^[1]，原理图如图 2 所示。

D 触发器由 RESET 信号全部置 0，当有输入信号的时候，打开第一个 D 触发器 Q[0] 时钟端，触发器 Q[0] 的 -Q 端在第一个上升沿的时候从高电平跳变为低电平，在下一个上升沿的时候 -Q 端再从低电平跳变为高电平，从而产生一个上升沿来驱动下一级的 D 触发器 Q[1]，这样就实现一个

二分频，经过 9 个 D 触发器的时候，系统实现了 2^9 次分频，在最后一位的 D 触发器 Q[8] 的输出 Q 则在经过 $T \times 2^9$ 个时钟周期低电平后变成高电平，所以在输入时钟周期为 $T = 3.3 \text{ ns}$ 时，Q[8] 的输出 Q 在延迟 844.8 ns 后产生高电平输出。其时序图如图 3 所示。

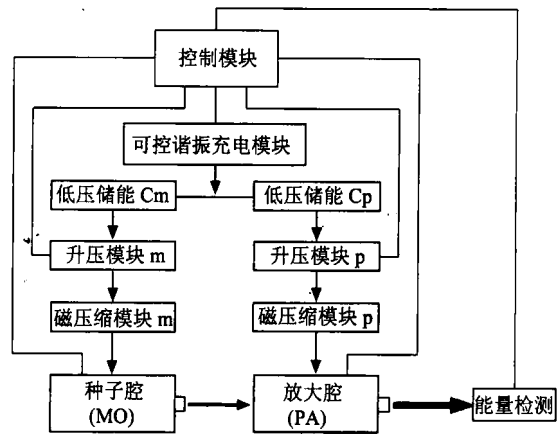


图 1 电源结构图

Fig.1 Diagram of power

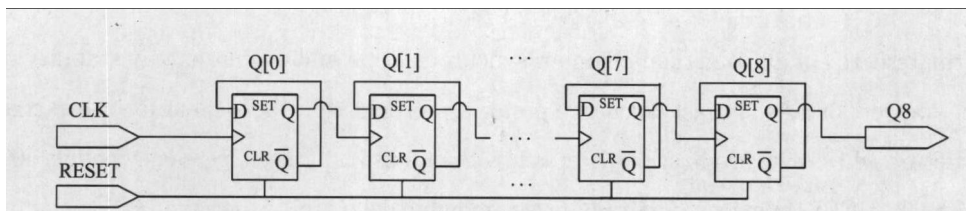


图 2 固定数字延迟线原理图^[2]

Fig.2 Diagram of fixed digital delay line^[2]

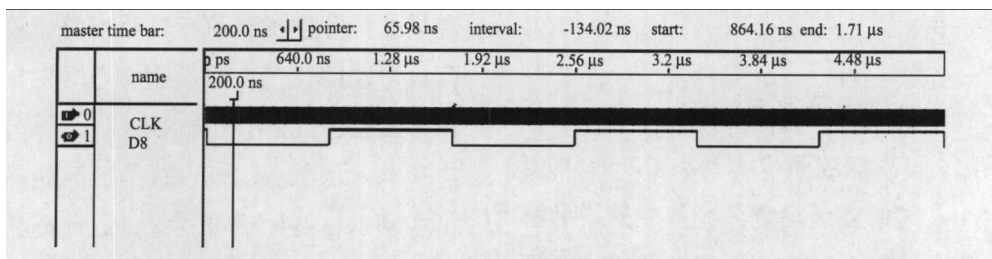


图 3 固定数字延迟线时序图

Fig.3 Sequence chart of fixed digital delay line

2.2 脉宽控制调节部分

脉宽调节部分由计数器模块实现，计数器模块由上升沿驱动，当固定数字延迟线部分给计数

器模块一个上升沿启动后，计数器模块输出为高电平，同时开始计数，计数器溢出的时候输出变为低电平，同时复位等待下一个上升沿，也将固

定数字延迟线部分复位。我们可以通过设置计数器的计数值来实现脉宽宽度的调节。计数器的原理图如图 4 所示。

从图中可以看出, 当有信号 DE_IN 输入时, 通过触发器 D1 打开计数器, 同时通过触发器 D2, 使输出信号 DE_OUT 变为高电平, 当计数器溢出时, 通过触发器 D2 的 CLR 端清零, 使输出信号 DE_OUT 变为低电平, 从而实现脉宽宽度调节。时序图如图 5 所示。

2.3 细调可变延迟线

在 CPLD 晶振产生的主时钟驱动下, D 触发器在时钟脉冲的上升沿检查输入 D 口的信号电平, 当 D 口为低电平的时候, 输出 Q 也为低电平, 而 D 口为高电平的时候, Q 口也变成高电平, 所以当信号每经过一个 D 触发器的時候, 就延迟了一个时钟周期 T , 将前一级的 D 触发器的输出 Q 口接到下一个 D 触发器的输入 D 口, 然后将这 N 个 D 触发器的时钟输入端连接在一起, 依次串联这 N 个 D 触发器后, 就可以实现一个同步时钟的 D 触发器组, 这样信号从输入到输出则相应被延迟了 NT 的时间。原理图如图 6 所示。

信号 DELAY_IN 从 D 触发器的 D 口输入,

依次经过 256 个 D 触发器, 所有的 D 触发器的时钟端连接在一起, 构成一个同步时钟的电路, 由 CPLD 的主时钟 CLK 来控制, 每个 D 触发器的输出 Q 口连接一个译码电路的一个输入端, 共有 256 个输入端, 这 256 个输入端由译码器的 DIN0~DIN7 来控制, 从而达到 0~256 个时钟周期的可选的延迟输出, 当主时钟频率为 300 MHz 时, 可获得 0~844.8 ns 的可变延迟输出。

其时序图如图 7 所示。

2.4 延迟电路的设计原理

当控制模块发出触发信号, 固定数字延迟线检测到触发信号的上升沿后, 将此上升沿延迟了固定时间 T_n , 然后该上升沿使能计数器模块工作, 计数器可以通过改变预置值来实现脉宽的调节, 计数器模块溢出后输出一个固定脉宽的信号给细调可变延迟线, 细调可变延迟线通过译码器的 A0~A7 端选择一个延迟值 T_d , 同时将固定数字延迟线复位, 并等待下一次的触发信号。因此整个的延迟时间为 $T = T_n + T_d$ 。因为 $T_n = 844.8$ ns 不变, T_d 可调, 所以实现了 844.8 ns~1.6 μ s 的延迟控制。当要求实现 0~844.8 ns 内的延迟时, 我们让信号直接经过脉宽控制及调节部分以及细调

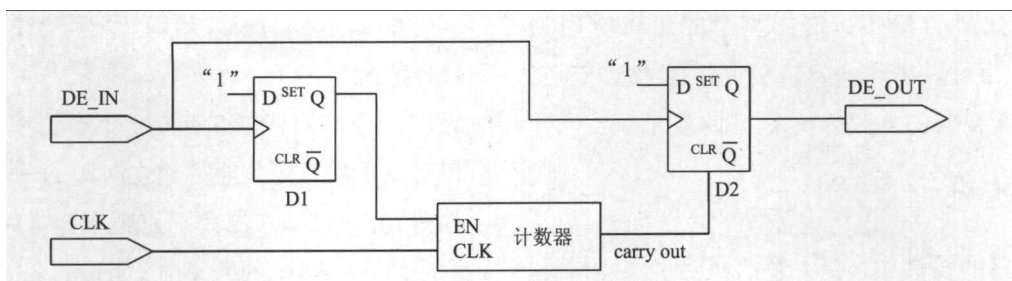


图 4 脉冲控制调节部分原理图

Fig.4 Diagram of impulse control and regulation section

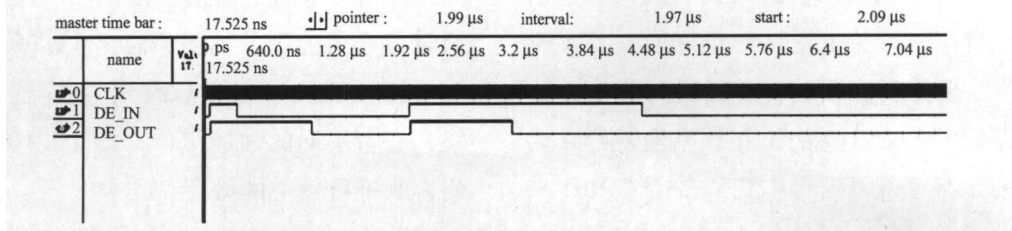


图 5 脉冲控制调节部分时序图

Fig.5 Sequence chart of impulse control and regulation section

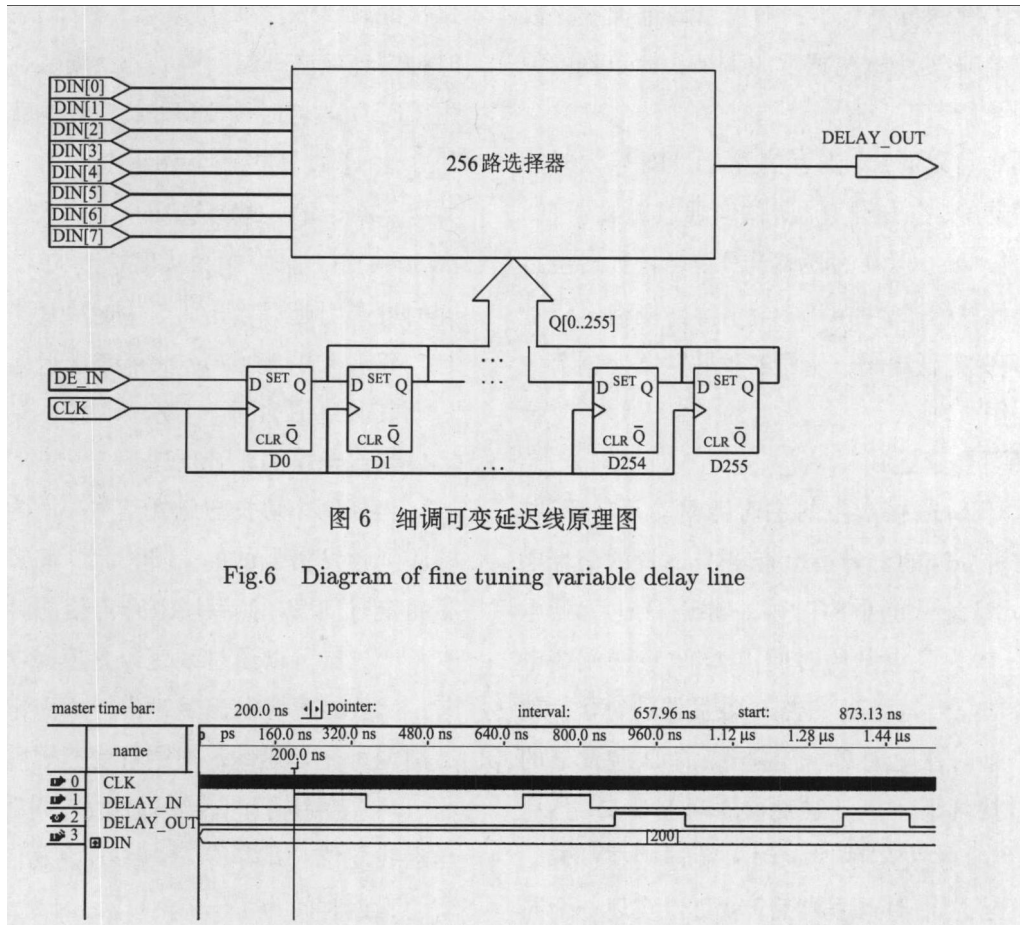


图 6 细调可变延迟线原理图

Fig.6 Diagram of fine tuning variable delay line

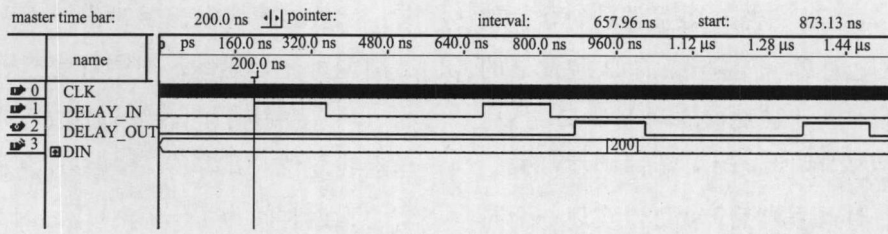


图 7 细调可变延迟线时序图

Fig.7 Sequence chart of fine tuning variable delay line

可变延迟线部分输出，这样整个的延迟时间为 $T = T_d$ ，从而可以实现 0~844.8 ns 延迟的要求。实现了系统所要求的 0~1.5 μs 延迟的要求。

3 系统设计

在项目的设计中，要大量的用到 D 触发器和计数器，如果用普通的数字器件搭建，不但成本巨大，而且极易出现错误，搭建、调试和修改也将花费大量的时间和人工，因此我们用可编程逻辑器件来实现，由于延迟电路的精度取决于系统的工作频率，要达到高精度，必须提高晶振的频率，现在的 FPGA/CPLD 的工作频率已经可以达到 1 GHz 的水平，所以项目中我们采用 CPLD 来实现。

本系统使用的 CPLD 型号为 EMP570T100C3。其参数参见表 1。

EMP570T100C3 有 570 个逻辑单元，最多可利用 570 个 D 触发器，建立时间 $t_{SU}=1.2$ ns，保持时间 $t_{CO}=4.5$ ns，最大工作频率为 304 MHz，当我们使用 300 MHz 的频率时，能达到 3.3 ns 的精度。

因为 VHDL 对设计的描述有相对独立性，对硬件的结构了解要求不高，可以进行独立的设计，又因其强大的行为描述能力，使之成为设计领域最好用的硬件描述语言。在本项目中，我们将可编程延迟线分成 3 部分，还有整个的同步系统又有着不同的功能部分，因此我们选用 VHDL 语言来进行软件的编写。

表 1 EMP570T100C3 速度等级列表 [3]

Table 1 Speed rating list of EMP570T100C3[3]

Feature	EPM240	EPM570	EPM1270	EPM2210
LEs	240	570	1.270	2.210
typical equivalent macrocells	192	440	980	1.700
equivalent macrocell range	128 to 240	240 to 570	570 to 1.270	1.270 to 2.210
UFM size (bits)	8.192	8.192	8.192	8.192
maximum user I/O pins	80	160	212	272
t_{PD1} (ns)	4.7	5.4	6.2	7.0
f_{CNT} (MHz)	304	304	304	304
t_{SU} (ns)	1.7	1.2	1.2	1.2
t_{CO} (ns)	4.3	4.5	4.6	4.6

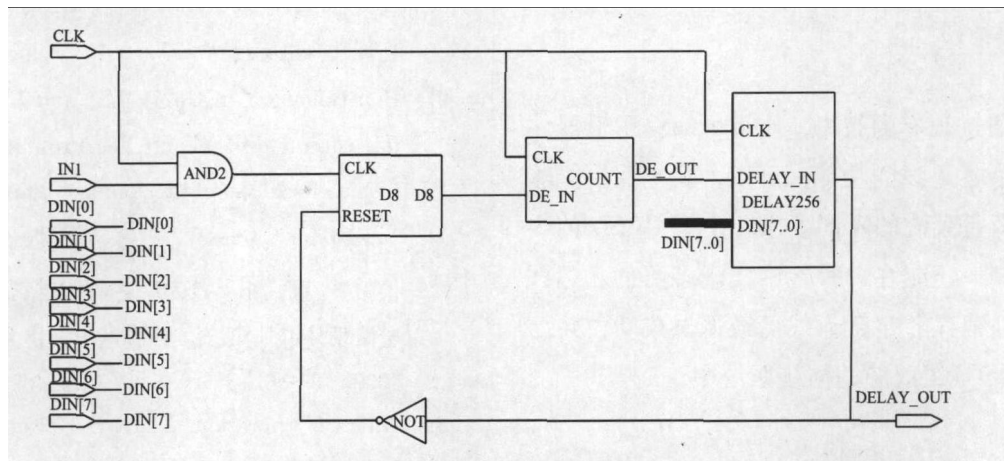


图 8 信号延迟线基本结构图

Fig.8 Diagram of signal delay line

4 系统的实现与仿真

4.1 系统的实现

其基本结构图如图 8 所示。

当有脉冲输入的时候, 触发器输出高电平, 将固定数字延迟线的时钟打开, 固定数字延迟线经过分频后输出上升沿使能计数器计数, 同时 DE_OUT 输出高电平, 此时在细调可变延迟线就有一脉冲信号输入, 脉冲的宽度由计数器的预置值确定, 上升沿则为固定数字延迟线信号输出确定, 在经过细调可变延迟线延迟后即可输出最终的延迟信号, 并通过 RESET 将固定数字延迟线清零, 等待下一次的脉冲输入。

4.2 系统的仿真

本系统采用的芯片为 Alter 公司的 CPLD, 型号为 EMP570T100C3, 其中有 570 个逻辑单元, 最多可以实现 570 个 D 触发器的脉冲延迟, 本系统所需的延迟单元数为 256 个。因为该型号的芯片速度等级为 3 级, 最高的运行频率可以达到 304 MHz, 当我们使用 300 MHz 的晶振时, 该数字可编程延迟单元延迟精度可以达到 3.3 ns 等级, 系统的总延迟为固定延迟 + 可变延迟, 固定延迟为 844.8 ns, 可变延迟为 0~844.8 ns, 则可以实现 0~1689.6 ns 的延迟, 满足了项目的需求, 系统的仿真图如图 9 所示。

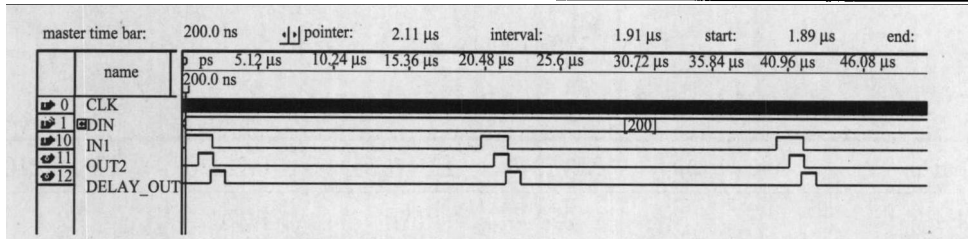


图9 信号延迟线系统仿真图

Fig.9 Simulation diagram of signal delay line

从图中可以看出,对于输入信号 IN1,每隔一个固定的时间段就有一个 DELAY_OUT 输出。OUT 为脉宽控制调节部分的输出,输出为一脉宽固定的延迟信号。该延迟信号在经过细调可变延迟线,得到最终的输出信号 DELAY_OUT。

5 总结

作者通过现有的技术,使用可编程逻辑器件来实现数字延迟线的功能,可以多次擦写,能够很灵活的满足系统的不同要求,由于 CPLD 的内部优化机制,还能在单片之中实现多路的延迟线功能。该可编程数字延迟线已经调试成功,并已经应用于 MOPA 双腔的同步系统中。

参考文献:

- [1] Yan Shi. *The Base of Digital Circuit Technology* [M]. 5 ed. Beijing: High Education Press, 2006: 305-308(in Chinese).
阎石. 数字电子技术基础 [M]. 第五版. 北京: 高等教育出版社, 2006: 305-308.
- [2] Hou Boheng, Gu Xin. *VHDL and Design of Digital Circuit* [M]. Xi'an: The Press of Xi'an electronic of science and technology University, 1999: 159-161(in Chinese).
侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计 [M]. 西安: 西安电子科技大学出版社, 1999: 159-161.
- [3] Altera Corporation. *MAX II Device Hand Book* [DB/OL]. http://www.altera.com.cn/literature/hb/max2/max2_mii5v1.pdf.

作者简介: 储艳飞 (1984-), 男, 安徽岳西人, 研究生, 主要从事电子学与计算机技术在准分子激光器上的应用。